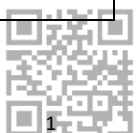




## Modulbeschreibung Blockwochenmodul:

|  |  |
|--|--|
| <b>Modultitel</b>                        | Digital Design Lab   |
| anbietender Studiengang                  | Informations und Elektrotechnik  |
| Hochschulstandort                        | Fachhochschule Dortmund  |
| Sprache                                  | Deutsch  |
| Modulbeauftragte/r hauptamtlich Lehrende | Prof. Dr.-Ing. Michael Karagounis<br>Prof. Dr.-Ing. Hendrik Wöhrle   |
| Kontakt                                  | <a href="mailto:michael.karagounis@fh-dortmund.de">michael.karagounis@fh-dortmund.de</a><br><a href="mailto:hendrik.woehrle@fh-dortmund.de">hendrik.woehrle@fh-dortmund.de</a> |

| Abkürzung                                 | Workload  | Credits*  | Semester (WiSe/SoSe)                           | geplante Gruppengröße |         |
|---|---|---|--|-----------------------|---------|
|   |   |   |  | Minimum               | Maximum |
| DDL                                       | 120   | 4   | SoSe   |                       | 15      |
|   | Kontaktzeit   |   | Selbststudium                                  |                       |         |
|   | Präsenzzeit während der Blockwoche  | Zusätzliche Kontaktzeit in der Vor- und Nachbereitungsphase z.B. Videokonferenzen | angeleitet in der Vor- und Nachbereitungsphase | selbstgesteuert       |         |
|   | 40  |   |  | <b>80</b>             |         |
| Lehrveranstaltungen/ Lehrform Präsenzzeit | Praktikum   |   |  |                       |         |
| Lehrformen Vorbereitungsphase             | <p>Einarbeitung in die Verilog oder VHDL Syntax an Hand von Schulungsunterlagen und Videos</p> <p>Ab dem <b>04.04.2022</b> über den Ilias-Kurs<br/><a href="https://www.ilias.fh-dortmund.de/ilias/goto_ilias-fhdo_crs_1126638.html">https://www.ilias.fh-dortmund.de/ilias/goto_ilias-fhdo_crs_1126638.html</a></p> <p><b>Zugang für Studierende der BO:</b><br/><a href="https://moodle.hs-bochum.de">https://moodle.hs-bochum.de</a>: Kursübersicht &gt; ISD &gt; Ruhr Master School &gt; RMS Module FHDO/WH</p> <p><b>Zugang für Studierende der WH:</b><br/>Moodle <a href="#">Startseite</a> → <a href="#">Kurse</a> → <a href="#">Ruhr Master School RMS</a></p> |   |  |                       |         |





|                                   |   |
|-----------------------------------|---|
| Lehrformen<br>Nachbereitungsphase | Dokumentation der Ergebnisse als kommentierter HDL Code |
|-----------------------------------|---|

|  |   |      |
|--|---|------|
| * Es besteht die Möglichkeit zusätzliche ECTS-Punkte durch Zusatzleistungen zu erwerben. | Ja,<br>im Umfang<br>von maximal<br>ECTS | Nein |
|  |   | x    |

|   |  |
|---|--|
| Lernergebnisse/Lernziele/Kompetenzen  |  |
| Die Studierenden erarbeiten sich durch die Durchführung acht aufeinander aufbauender Versuche selbständig einen Einblick in moderne Methoden des digitalen Schaltungsentwurfs. Tutorials erklären die Syntax grundlegender Konstrukte der Hardwarebeschreibungssprache VHDL oder Verilog und die Verwendung von industrieller Entwurfssoftware für die Implementierung von Schaltungen auf einem konfigurierbaren FPGA Logikbaustein. |  |
| Inhalte   |  |
| -Hardwarebeschreibungssprache VHDL oder Verilog<br>-Entwurfssoftware Vivado<br>-Konfigurierbare Logikbausteine Xilinx   |  |
| Teilnahmevoraussetzungen  | <b>keine</b>   |
| Prüfungsformen  | Erarbeitung einer Dokumentation (vgl. Nachbereitungsphase)<br>und<br>Mündliche Prüfung   |
| Voraussetzungen für die Vergabe von Kreditpunkten   | Modulprüfung muss bestanden sein.  |
| Verwendung des Moduls<br>(in anderen Studiengängen)   | siehe hierzu Homepage der Ruhr Master School   |
| Literatur   | Reichhardt, Schwarz, VHDL-Synthese, Oldenbourg<br><br>Kesel, Bartholomäa, Entwurf von digitalen Schaltungen und Systemen mit HDLs und FPGAs, Oldenbourg<br><br>Bernhard Hoppe, Verilog Modellbildung für Synthese und Verifikation, Oldenbourg |
| Anmerkungen   |  |

