



Modulbeschreibung

Studiengang	Master Informations und Elektrotechnik
Modulname	Digital Design Lab
Abkürzung	DDL
Sprache	
- Unterricht	Deutsch
- Prüfung	Deutsch
- Literatur	Deutsch
Semester/Art	Blockwochenangebot
Dozent/Ansprechpartner	Prof. Dr.-Ing. Michael Karagounis Prof. Dr.-Ing. Hendrik Wöhrle
E-Mail	michael.karagounis@fh-dortmund.de hendrik.woehrle@fh-dortmund.de
Lernziel	Die Studierenden erarbeiten sich durch die Durchführung acht aufeinander aufbauender Versuche selbständig einen Einblick in moderne Methoden des digitalen Schaltungsentwurfs. Tutorials erklären die Syntax grundlegender Konstrukte der Hardwarebeschreibungssprache VHDL oder Verilog und die Verwendung von industrieller Entwurfssoftware für die Implementierung von Schaltungen auf einem konfigurierbaren FPGA Logikbaustein.
Inhalt	-Hardwarebeschreibungssprache VHDL oder Verilog -Entwurfssoftware Vivado -Konfigurierbare Logikbausteine Xilinx
Maximale Teilnehmeranzahl	15
Voraussetzungen nach Prüfungsordnung	Keine
Empfohlene Voraussetzungen	Keine
Lehrform /Umfang	Praktikum
Arbeitsaufwand	60h (40h Präsenzzeit und 20h Selbststudium)
Art der Prüfung	Mündliche Prüfung/Vortrag/Klausur/Projekt
Leistungspunkte	3
Verwendbarkeit	wird durch die RMS eingefügt
Vorbereitungsphase	Einarbeitung in die Verilog oder VHDL Syntax an Hand von Schulungsunterlagen und Videos
Nachbereitungsphase	Dokumentation der Ergebnisse als kommentierter HDL Code



Literatur/Ressourcen	Reichhardt, Schwarz, VHDL-Synthese, Oldenbourg Kesel, Bartholomäa, Entwurf von digitalen Schaltungen und Systemen mit HDLs und FPGAs, Oldenbourg Bernhard Hoppe, Verilog Modellbildung für Synthese und Verifikation, Oldenbourg
----------------------	--